

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05129473
PUBLICATION DATE : 25-05-93

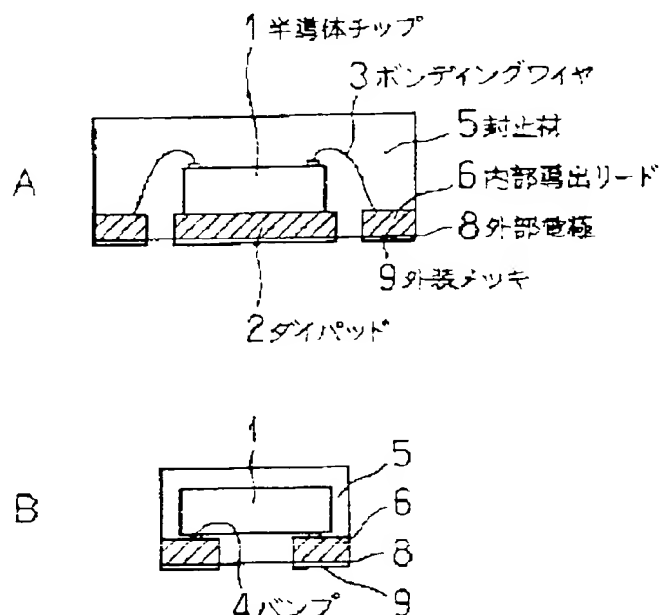
APPLICATION DATE : 06-11-91
APPLICATION NUMBER : 03289882

APPLICANT : SONY CORP;

INVENTOR : FUKAZAWA HIROYUKI;

INT.CL. : H01L 23/28 H01L 23/12 H01L 23/50

TITLE : RESIN-SEALED SURFACE-MOUNTING SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To reduce the size and thickness of the title semiconductor device while a mechanism which prevents the deformation of external electrodes or fluctuation of the electrodes at the machining time is secured by using the rear sections of inner leads connected to internal wiring as external electrodes at the time of directly mounting the semiconductor device.

CONSTITUTION: A semiconductor chip 1 is placed on the die pad 2 of a lead frame. After electrically connecting the chip 1 to inner leads 6, the rear of which become external electrodes 8, through bonding wires 3, the upper part is sealed with a resin. Similarly, the chip 1 is electrically connected to the leads through bumps 4. In other words, the rear of the electrically connected inner leads 6 are used as the electrical connecting sections 8 of the semiconductor device to the outside. Therefore, the size of the semiconductor device can be reduced to nearly the same size as that of the chip 1. In addition, the thickness of the semiconductor device can also be reduced.

COPYRIGHT: (C)1993.JPO&Japio



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-129473

(43) 公開日 平成5年(1993)5月25日

(51) Int. Cl.	識別記号	序内整理番号	F	技術表示箇所
H 0 1 L 23/28		J 5617-4M		
23/12				
23/28	A	8617-4M		
23/50	N	9277-4M		
		7352-4M		
H 0 1 L 23/12				

審査請求 未請求 請求項の数 3 (全 6 頁) 最終頁に続く

(21) 出願番号 特願平3-289882

(71) 出願人 000002185

ソニー株式会社

(22) 出願日 平成3年(1991)11月6日

東京都品川区北品川6丁目7番35号

(72) 発明者 深澤 博之

東京都品川区北品川6丁目7番35号ソニー株式会社内

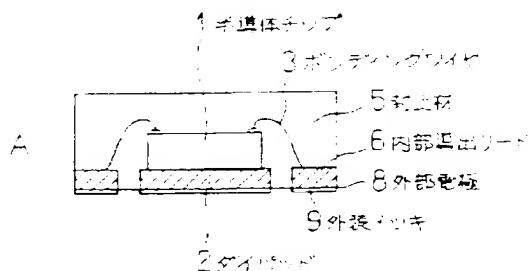
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 樹脂封止表面実装型半導体装置

(57) 【要約】

【目的】 小型化、薄型化可能な半導体装置を提供する。

【構成】 内部導出リード6とダイパッド2が同一平面にあるリードフレームを用い、半導体チップ1とボンディングワイヤ3あるいはパッド4により電気的に接続されている内部導出リード6の裏面を、半導体装置の外部との電気的接続部分として機能する外部電極8とする。



【特許請求の範囲】

【請求項1】 半導体素子を搭載し、その素子表面の電極を内部導出リードに配線し、その配線部および前記半導体素子部を樹脂封止してなる樹脂封止表面実装型半導体装置において、前記内部配線の接続される内部導出リードの裏面部が、直接半導体装置を実装する際の外部電極となることを特徴とする樹脂封止表面実装型半導体装置。

【請求項2】 半導体素子の裏面が直接あるいは封止樹脂以外の樹脂材料を介して、半導体装置の外側に露出していることを特徴とする請求項1記載の樹脂封止表面実装型半導体装置。

【請求項3】 半導体素子の裏面あるいは封止樹脂以外の樹脂材料を介した面が、外部電極の面よりも一段高く形成されていることを特徴とする請求項1記載の樹脂封止表面実装型半導体装置。

【発明の詳細な説明】

【0001】

【発明の利用分野】この発明は樹脂封止された表面実装型半導体装置に関するものである。

【0002】

【従来の技術】従来、表面実装型半導体装置は図10にその一例の断面図で示すように、金属（例えば、42% Ni / Fe合金で、板厚0.1～0.3mm）でできたリードフレームのダイパッド2に半導体チップ1を搭載し、図10Aに示すように、ボンディングワイヤ8により内部導出リード6に電気的に接続するか、あるいは図10Bに示すように、 bumps 4と呼ばれる接続電極によって直接内部導出リード6に電気的に接続する。そして、これらをエポキシ樹脂などの封止材5で封止した後、外部導出リード7および外部電極8を所要の形状に曲げ形成している。

【0003】そして、図11Aに側面図で示すように、基板12のパターンに半田ペースト13を、あるいは図11Bに示すように、基板12に接着剤14を塗布しておき、これに表面実装型半導体装置を位置合わせして載せる。この基板12を、図11Aのように半田ペースト13を使用した場合には、熱風あるいは赤外線などにより加熱し半田付けする。一方、図11Bのように接着剤14を使用した場合には、半田槽に浸漬して半田付けを行う。

【0004】しかしながら、前述した表面実装型半導体装置は、図10A、Bに示す封止材5の外側において、外部導出リード7および外部電極8を曲げ加工しているため、この加工精度のバラツキおよび成形後の外部からの力により、図10Aの斜視図に示すように、半導体装置の封止材5の底面に対する外部電極8の下面の高さ方向の位置のバラツキおよび図10Bの平面図に示すように、横方向への外部導出リード7および外部電極8の変形が生じやすい。これらが原因となって前述の基板実装

時、好適な表面実装ができなくなる。または、電氣的に導通できなくなるという課題が発生した。

【0005】そこで、この課題を解消するため、図13に示した特開平3-3354号公報に開示されている半導体装置のように、外部電極8を封止材5の底面と同一面で、かつ底面と並行に導出した形状が提案されている。

【0006】

【発明が解決しようとする課題】ところで、近年、電子機器が小型化、薄型化されるにしたがって、使用される半導体装置もできるだけ小型化、薄型化をはかるように要求され、現在では封止材の大きさが内部に搭載されている半導体チップの大きさと近くなってきており、また、厚みも1.0mm以下の薄型半導体装置が実用化されてきている。しかし、このような小型、薄型半導体装置において、前述の図13に示す特開平3-3354号公報に記載されているような形状では、大きさも半導体チップサイズでよりはるかに大きくなってしまえばかり、厚さも厚くなってしまふという課題が発生した。この発明は、外部電極の変形あるいは加工時のバラツキを防止する機構を備えながら、しかも、小型化、薄型化可能な樹脂封止表面実装型半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】先に述べたような課題を解決するために、この発明は、内部導出リードとダイパッドが同一平面にあるリードフレームを用い、半導体チップとボンディングワイヤあるいは bumps により電氣的に接続される内部導出リードの裏面を、半導体装置の外部との電氣的接続部分すなわち外部電極とした。

【0008】

【作用】したがってこの発明の樹脂封止表面実装型半導体装置は、内部導出リードとダイパッドが同一平面にあるリードフレームを用い、半導体チップとボンディングワイヤあるいは bumps により電氣的に接続される内部導出リードの裏面を半導体装置の外部との電氣的接続部分すなわち外部電極としたので、半導体装置の大きさを半導体チップの大きさとほぼ同じ大きさまで小さくすることができる。また、半導体装置の厚みを薄くすることができる。

【0009】

【実施例】以下、この発明の実施例の樹脂封止表面実装型半導体装置を図面とともに詳述する。図1に第1の実施例の断面図を示す。まず、図1Aは、厚さ0.1～0.3mmのリードフレームのダイパッド2に半導体チップ1を搭載し、半導体チップ1と裏面が外部電極8となる内部導出リード6とをボンディングワイヤ8で電氣的に接続させて、その上部を樹脂封止した構造となっている。図1Bは、同様に半導体チップ1と内部導出リード6とを bumps 4で電氣的に接続をさせている例を示

4

て電気的に接続を行い、樹脂封止および外装メッキ9を施すと図5Bにその断面図を示す構造になる。さらに、加熱などを施しながらフィルム10を剥離すると図5Cに示すような本実施例の構造となる。なお、本実施例に用いられる外部電極8の外側に、フィルム10を剥離する際に導体の余分な部分が同時に切断してしまうように、図5Cの平面図に示したように外部電極に接続される外部配線11をあらかじめ細くしておくことよい。

【００１２】図６に第３の実施例の断面図を示す。第３の実施例では半導体チップ１を載置するダイパッド２の下にポリイミドなどのフィルム１０を有する。その外には前述してきた実施例と変わるところはないが、本実施例の場合、基板実装時の接続部分となる外部電極８の底面の高さに対し、外部電極８の厚さの分だけ高いところにフィルム１０があるため、基板実装後のフラックスの洗浄効果があるという利点がある。また、半導体装置の中央に半導体チップ１の裏面と電気的に接続される部分がないので、基板実装時に発生するショートなどの不具合をまねかないという利点もある。なお、本実施例ではダイパッド２が存在する図で説明してきたが、実施に際しては必ずしも必要とは限らない。第３の実施例の半導体装置の作成方法を図７の断面図を用いて簡単に説明する。第３の実施例では、図７Ａに示すような部分的に穴の開いたポリイミドなどのフィルム１０に銅箔などの薄い導体をラミネートしてダイパッド２、内部導出リード６および外部配線１１を形成し、この導体の付いたフィルム１０に、前述の方法と同様に半導体チップ１を載置して電気的に接続を行い、樹脂封止および外装メッキ９を施すと図７Ｂにその断面を示す構造になる。さらに、加熱などを施しながら半導体装置周辺のフィルム１０を剥離すると図７Ｃに示すような本実施例の構造となる。なお、第２の実施例と同様に外部電極８の外側の外部配線１１を、フィルム１０に剥離する際、切断しやすきようにあらかじめ細くしておくとよい。

【0013】さらに、第4および第5の実施例として、図8に断面図を示すように、外部電極8を2重に配装した構造も、前述してきた実施例より容易に作成される。本実施例の構造の場合、前述の実施例より半導体装置の大きさは少しくなるが、外部電極8同士の間隔が広げられるために基板実装時の半田によるショート（電極間ショート）が発生しにくく、信頼性が向上する。

[illegible]

5

【発明の効果】以上の説明から明らかなように、この発明の半導体装置では内部導出リードの接続点の裏面を半導体装置の外部電極としたので、半導体チップの大きさに近い寸法の半導体装置を提供できる。また、厚みに関しても、約0.5mm前後の厚みの半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施例の断面図。

【図2】第1の実施例の半導体装置の第1の作成方法を説明する断面図。

【図3】第1の実施例の半導体装置の第2の作成方法を説明する断面図。

【図4】この発明の第2の実施例の断面図。

【図5】第2の実施例の半導体装置の作成方法を説明する断面図。

【図6】この発明の第3の実施例の断面図。

【図7】第3の実施例の半導体装置の作成方法を説明する断面図。

【図8】この発明の第4および第5の実施例の断面図で、Aは第4の実施例、Bは第5の実施例である。

【図9】この発明の第6の実施例の断面図。

6

【図10】従来例の表面実装型半導体装置の断面図。

【図11】従来例の表面実装型半導体装置を基板に実装した状態の断面図。

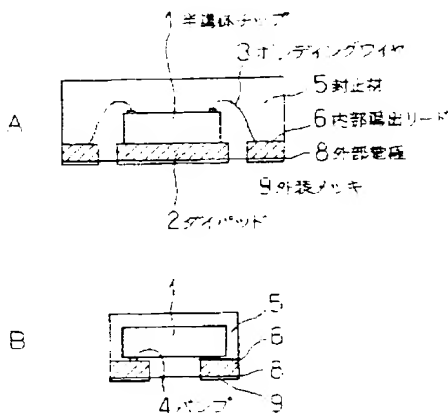
【図12】従来例の表面実装型半導体装置の外部導出リードの変形状態を示した説明図で、Aは斜視図、Bは平面図である。

【図13】従来例の表面実装型半導体装置の断面図である。

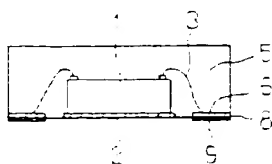
【符号の説明】

- 10 1 半導体チップ
2 ダイバッド
3 ボンディングワイヤ
4 パッケージ
5 封止材
6 内部導出リード
7 外部導出リード
8 外部電極
9 外装メッキ
10 フィルム
20 11 外部配線

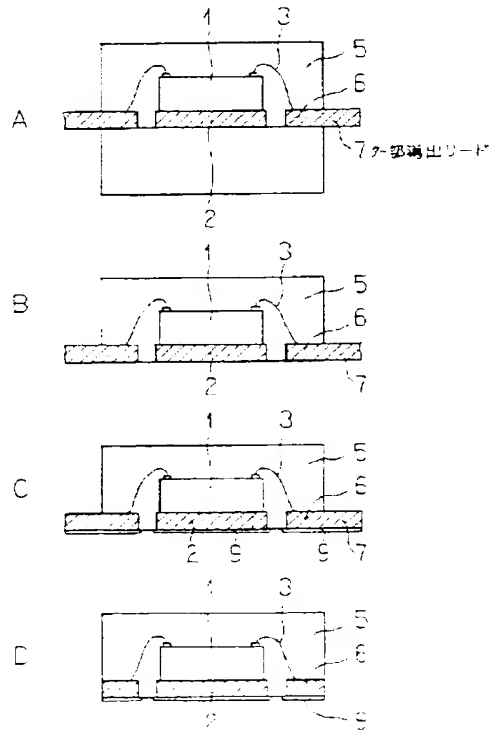
【図1】



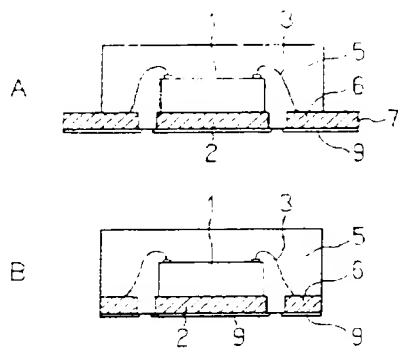
【図4】



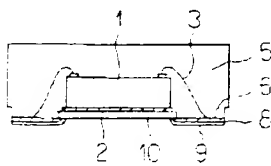
【図2】



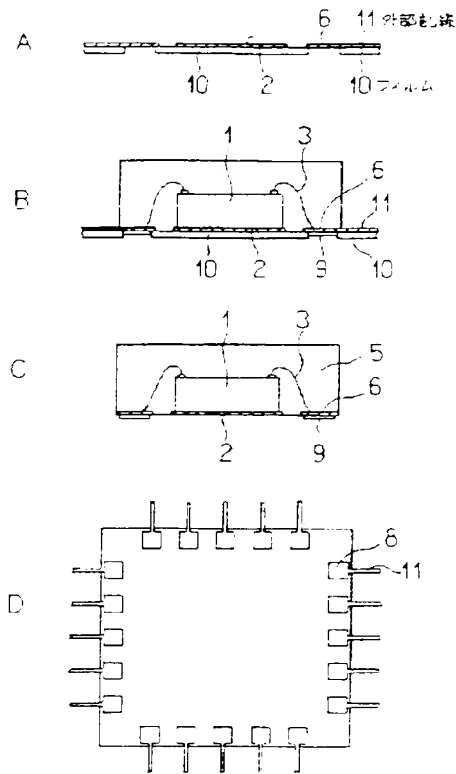
【図3】



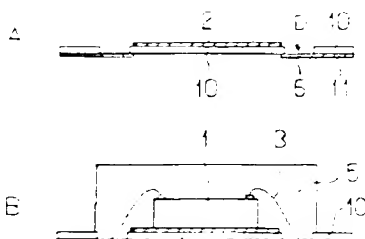
【図6】



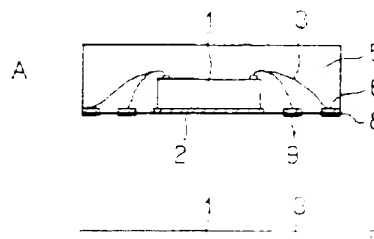
【図5】



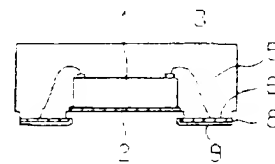
【図7】



【図8】



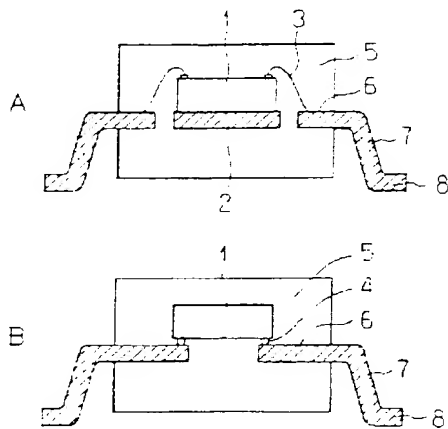
【図9】



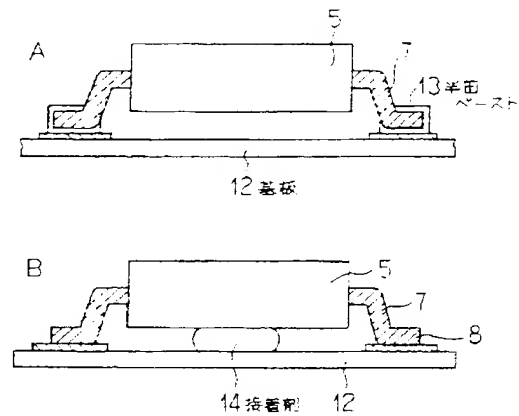
(6)

特開平5-129473

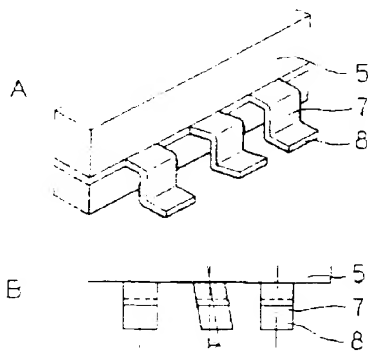
【図10】



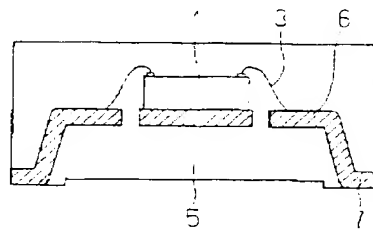
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl.

H 0 1 L 23/50

識別記号

序内整理番号

G 9272-4M

R 9272-4M

F I

技術表示箇所